



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11044891 A**(43) Date of publication of application: **16.02.99**

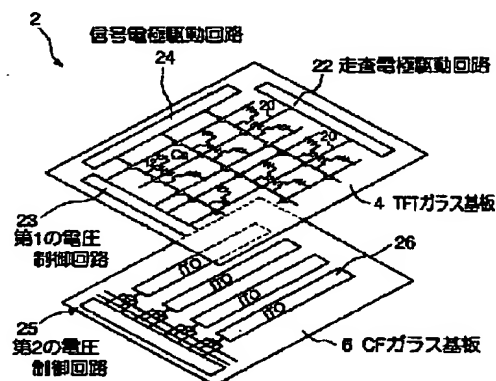
(51) Int. Cl. **G02F 1/136**
G02F 1/133
G09G 3/36
H01L 29/786
H01L 21/336
H04N 5/66

(21) Application number: **09201250**(22) Date of filing: **28.07.97**(71) Applicant: **SONY CORP**(72) Inventor: **SATO AKIHIRO****(54) LIQUID CRYSTAL DISPLAY DEVICE****(57) Abstract:**

PROBLEM TO BE SOLVED: To improve an opening rate by decreasing the number of gate lines and to embody an interlace display equal to the case of a CRT.

SOLUTION: Many liquid crystal elements are formed by constituting a matrix and each liquid crystal element is provided with a thin-film transistor (TFT) 12 and a capacitor Cs. One piece of the gate line 20 is disposed at every two lines of the adjacent odd number or even number of the matrix and the gates of the TFTs 12 of odd rows and even rows are connected to the same gate lines 20. counter electrodes 26 are formed by each of the respective rows. First and second voltage control circuits 23, 25 output the voltages to put the liquid crystal elements of the even rows in odd fields and the liquid crystal elements of the odd rows in even fields to black displays for the capacitors Cs and the counter electrodes 26.

COPYRIGHT: (C)1999,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 4 4 8 9 1

(43) 公開日 平成 1 1 年 (1 9 9 9) 2 月 1 6 日

| (51) Int. Cl. ° | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|-----------------|------|--------|------------|--------|
| G02F 1/136 | 500 | | G02F 1/136 | 500 |
| 1/133 | 550 | | 1/133 | 550 |
| G09G 3/36 | | | G09G 3/36 | |
| H01L 29/786 | | | H04N 5/66 | 102 B |
| 21/336 | | | H01L 29/78 | 612 C |

審査請求 未請求 請求項の数 3 O L (全 1 0 頁) 最終頁に続く

(21) 出願番号 特願平 9 - 2 0 1 2 5 0

(22) 出願日 平成 9 年 (1 9 9 7) 7 月 2 8 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 佐藤 明洋

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

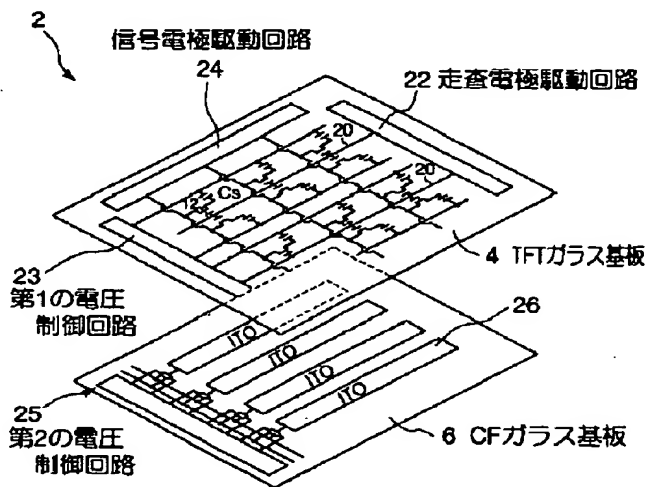
ニー株式会社内

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ゲートラインの数を削減して開口率を向上させ、かつ C R T の場合と同等のインターレース表示を実現する。

【解決手段】 多数の液晶素子がマトリクスを成して形成され、各液晶素子ごとに薄膜トランジスタ 1 2 およびコンデンサ C s が設けられている。マトリクスの隣接する奇数および偶数の 2 つの行ごとに 1 本のゲートライン 2 0 が設けられ、奇数行および偶数行の薄膜トランジスタ 1 2 のゲートは同一のゲートライン 2 0 に接続されている。また、対向電極 2 6 は各行ごとに形成されている。第 1 および第 2 の電圧制御回路 2 3、2 5 は、コンデンサ C s および対向電極 2 6 に対して、奇数フィールドでは偶数行の液晶素子、偶数フィールドでは奇数行の液晶素子を黒表示とする電圧を出力する。



【特許請求の範囲】

【請求項 1】 液晶素子と、チャンネルの一端が前記液晶素子の透明電極に接続された薄膜トランジスタと、一端が前記透明電極に接続された電荷蓄積素子との組みをマトリクスを形成して多数配列し、前記マトリクスの列ごとに信号ラインを設けて前記列を成す前記薄膜トランジスタの前記チャンネルの他端を対応する前記信号ラインに接続し、前記薄膜トランジスタのゲート電圧を制御して前記薄膜トランジスタを通じ各液晶素子に前記信号ラインからの電圧を印加することで画像を表示する液晶表示装置において、

前記マトリクスの行ごとに、前記液晶素子の前記透明電極に対向する対向電極を形成し、

前記マトリクスの前記行ごとに制御ラインを設けて前記行を成す前記電荷蓄積素子の他端を対応する前記制御ラインに接続し、

前記マトリクスの隣接する奇数番目と偶数番目の 2 つの行ごとにゲートラインを設けて、これらの行を成す前記薄膜トランジスタのゲートを対応するゲートラインに接続し、

前記マトリクスの奇数番目（または偶数番目）の行を成す前記液晶素子により画像を形成するときは、前記マトリクスの奇数番目（または偶数番目）の行に対応する前記対向電極と前記制御ラインとに、前記信号ラインを通じ印加される電圧に応じた前記液晶素子の励起を可能とする電圧を印加する一方、前記マトリクスの偶数番目

（または奇数番目）の行に対応する前記対向電極と前記制御ラインとには、前記信号ラインを通じ印加される電圧に係わらず前記液晶素子を特定の励起状態とする電圧を印加する電圧制御手段を備えた、

ことを特徴とする液晶表示装置。

【請求項 2】 前記電圧制御手段は、前記制御ラインに電圧を印加する第 1 の電圧制御手段と、前記対向電極に電圧を印加する第 2 の電圧制御手段とから成ることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 前記透明電極と、前記薄膜トランジスタと、前記電荷蓄積素子と、前記信号ラインと、前記制御ラインと、前記ゲートラインと、前記第 1 の電圧制御手段とは第 1 の透明基板上に形成され、

前記対向電極と、前記第 2 の電圧制御手段とは第 2 の透明基板上に形成され、

前記液晶素子は、前記第 1 および第 2 の透明基板の間に介在された液晶層を含んで構成されていることを特徴とする請求項 2 記載の液晶表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は液晶表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】 従来より、ビデオ画像、文字、図形など

の画像を表示するために液晶表示装置が広く用いられている。液晶表示装置は各画素ごとに設けられたスイッチング素子と信号電圧を保持するための電荷蓄積素子とを含み、スイッチング素子の種類により 2 つに大別される。1 つは 2 端子の非線型素子をスイッチング素子として用いたものであり、もう 1 つは電界効果トランジスタなどの 3 端子素子をスイッチング素子として用いたものである。

【 0 0 0 3 】 ここでは、本発明に関連する後者について説明する。図 9 は従来の液晶表示装置の一例を示す分解斜視図、図 1 0 は同回路図である。図 9 に示すように、この液晶表示装置 1 0 2 は、ガラス基板の表面に薄膜トランジスタが形成された T F T ガラス基板 1 0 4 と、ガラス基板表面にカラーフィルタおよび対向電極 1 0 6 が形成された C F ガラス基板 1 0 8 とを液晶を挟んで対向配置することにより構成されている。

【 0 0 0 4 】 T F T ガラス基板 1 0 4 上には、図 1 0 に示すように、走査電極駆動回路 1 1 0 および信号電極駆動回路 1 1 2 が形成されており、各画素に対応する液晶素子 L C を駆動している。すなわち走査電極駆動回路 1 1 0 は各走査に対応する複数のゲートライン 1 1 6 のうちの 1 本に高電圧を与えてゲートライン 1 1 6 上に位置するすべての電界効果トランジスタである薄膜トランジスタ 1 1 8 を一時導通状態にする。一方、信号電極駆動回路 1 1 2 は垂直方向に延在する信号ライン 1 2 0 を介して液晶素子 L C と、液晶素子 L C に対して並列に接続されたコンデンサ C s に画像信号を供給する。そして液晶素子 L C とコンデンサ C s に供給された画像信号の電圧 V_{sig} と対向電極 1 0 6 に印加される電圧 V_{com} との差電圧 $\Delta V (=V_{sig}-V_{com})$ によって液晶素子 L C を励起させるようになっている。ここでコンデンサ C s は供給された画像信号の電圧を保持してた上で液晶素子 L C に印加するために設けられている。

【 0 0 0 5 】 また、C F ガラス基板 1 0 8 上の対向電極 1 0 6 は表示画面大に形成されるのが一般的である。図 1 1 は対向電極 1 0 6 に一定の電圧 V_{com} を印加した場合の電圧 V_{com} と画像信号 V_{sig} およびゲート電圧 V_G との関係を示す信号波形図、図 1 2 は対向電極 1 0 6 に印加する電圧 V_{com} を変化した場合の電圧 V_{com} と画像信号 V_{sig} およびゲート電圧 V_G との関係を示す信号波形図である。これらの図に示すように、液晶表示装置 1 0 2 の駆動方法には、対向電極 1 0 6 に常に一定の電圧を印加する方法と、一定周期で対向電極 1 0 6 に印加する電圧を反転させる方法とがある。

【 0 0 0 6 】 また、このような液晶表示装置 1 0 2 では、C R T （陰極線管）による画像表示の場合のインターレース走査と同様の効果を得るため、液晶素子 L C のインターレース駆動が行われる。すなわち、奇数フィールドの期間では、図 1 0 に示した奇数番目のゲートライン 1 1 6 にゲートが接続された薄膜トランジスタ 1 1 8

を順次オンして、対応する各液晶素子 LC に信号電圧が印加され、偶数フィールドの期間では、偶数番目のゲートライン 1 1 6 にゲートが接続された薄膜トランジスタ 1 1 8 を順次オンして、対応する各液晶素子 LC に信号電圧が印加される。

【 0 0 0 7 】

【発明が解決しようとする課題】しかし、このような従来の液晶表示装置 1 0 2 では、各走査線ごとにゲートライン 1 1 6 が設けられており、ゲートライン 1 1 6 を TFT ガラス基板 1 0 4 上に延設するために各液晶素子 LC の開口はその分だけ狭くせざるを得ず、その結果、開口率の低下を招いている。

【 0 0 0 8 】さらに、インターレース駆動において、例えば奇数番目のゲートライン 1 1 6 に対応する液晶素子 LC に新たな信号電圧が供給されて、奇数フィールドの画像が更新されるとき、その間、偶数番目のゲートライン 1 1 6 に対応する各液晶素子 LC には、各コンデンサ Cs が保持している信号電圧が印加されているので、古い偶数フィールドの画像も同時に表示されている。したがって、従来の液晶表示装置 1 0 2 では、CRT でイン

ターレース走査を行う場合のように、奇数フィールドの画像と偶数フィールドの画像とを完全に切り換えて表示することはできない。

【 0 0 0 9 】本発明は、このような欠点を解消するためになされたもので、その目的は、ゲートラインの数を削減して開口率を向上させることができ、さらに CRT の場合と同等のインターレース表示が可能な液晶表示装置を提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】本発明は上記目的を達成するため、液晶素子と、チャンネルの一端が前記液晶素子の透明電極に接続された薄膜トランジスタと、一端が前記透明電極に接続された電荷蓄積素子との組みをマトリクスを形成して多数配列し、前記マトリクスの列ごとに信号ラインを設けて前記列を成す前記薄膜トランジスタの前記チャンネルの他端を対応する前記信号ラインに接続し、前記薄膜トランジスタのゲート電圧を制御して前記薄膜トランジスタを通じ各液晶素子に前記信号ラインからの電圧を印加することで画像を表示する液晶表示装置において、前記マトリクスの行ごとに、前記液晶素子の前記透明電極に対向する対向電極を形成し、前記マトリクスの前記行ごとに制御ラインを設けて前記行を成す前記電荷蓄積素子の他端を対応する前記制御ラインに接続し、前記マトリクスの隣接する奇数番目と偶数番目の 2 つの行ごとにゲートラインを設けて、これらの行を成す前記薄膜トランジスタのゲートを対応するゲートラインに接続し、前記マトリクスの奇数番目（または偶数番目）の行を成す前記液晶素子により画像を形成するとき、前記マトリクスの奇数番目（または偶数番目）の行に対応する前記対向電極と前記制御ラインとに、前記

信号ラインを通じ印加される電圧に応じた前記液晶素子の励起を可能とする電圧を印加する一方、前記マトリクスの偶数番目（または奇数番目）の行に対応する前記対向電極と前記制御ラインとには、前記信号ラインを通じ印加される電圧に係わらず前記液晶素子を特定の励起状態とする電圧を印加する電圧制御手段を備えたことを特徴とする。

【 0 0 1 1 】本発明の液晶表示装置では、電圧発生手段は、行ごとの対向電極および電荷蓄積素子に印加する電圧を制御して、奇数番目の行および偶数番目の行のいずれか一方の液晶素子でのみ、信号電圧に応じた励起を可能とし、もう一方の行の液晶素子は特定の励起状態とする。したがって、隣接する奇数番目の行と偶数番目の行の薄膜トランジスタのゲートが同一のゲートラインに接続され、同一のゲート信号によって制御されても、奇数番目の行と偶数番目の行のうち一方の液晶素子によってのみ画像表示を行え、その結果、従来と同様の解像度でインターレース駆動による画像表示が可能である。すなわち、本発明の液晶表示装置では、従来どうりの解像度を確保しつつゲートラインの数を半減することができ、したがって、液晶素子の面積を拡大して開口率を向上させることが可能となる。また、インターレース駆動において、あるフィールドで例えば奇数番目の行の液晶素子が駆動されて信号電圧に応じた励起状態となると、偶数番目の行の液晶素子はすべて、上述のように特定の励起状態となり、したがって、例えば黒表示となる。その結果、CRT（陰極線管）の場合と同等のインターレース表示を液晶表示装置においても実現できる。

【 0 0 1 2 】

【発明の実施の形態】次に本発明を実施の形態例にもとづき図面を参照して説明する。図 1 は本発明による液晶表示装置の一例を示す概略構成図、図 2 は、図 1 の液晶表示装置を構成する TFT ガラス基板側の回路図、図 3 は、図 1 の液晶表示装置を構成する CF ガラス基板側の回路図である。図 1 に示すように、本実施の形態例の液晶表示装置 2 は、TFT ガラス基板 4 と CF ガラス基板 6 とを対向配置し、間に不図示の液晶層を介在させることで構成されている。TFT ガラス基板 4 には、図 2 に示したように、液晶素子 LC の透明電極 1 0 (ITO) と、チャンネルの一端（ソースまたはドレイン）が透明電極 1 0 に接続された、電界効果トランジスタである薄膜トランジスタ 1 2 (TFT トランジスタとも呼ばれる) と、一端が透明電極 1 0 に接続されたコンデンサ Cs (本発明に係わる電荷蓄積素子) との組みがマトリクスを形成して多数配列されている。そして、マトリクスの列ごとに信号ライン 1 6 が設けられ、各列を成す薄膜トランジスタ 1 2 のチャンネルの他端（ドレインまたはソース）は対応する信号ライン 1 6 に接続されている。また、マトリクスの行ごとに制御ライン 1 8 が設けられ、各行を成すコンデンサ Cs の他端が対応する制御ラ

イン 1 8 に接続されている。さらに、マトリクスの隣接する奇数番目と偶数番目の 2 つの行ごとにゲートライン 2 0 が設けられ、これらの行を成す薄膜トランジスタ 1 2 のゲートが対応するゲートライン 2 0 にそれぞれ接続されている。

【 0 0 1 3 】 T F T ガラス基板 4 上にはさらに走査電極駆動回路 2 2 および信号電極駆動回路 2 4 が配設されている。走査電極駆動回路 2 2 はゲートライン 2 0 と同数の出力端子を有し、それぞれ対応するゲートライン 2 0 に接続されている。走査電極駆動回路 2 2 には、垂直駆動用の電源 V_{vss} 、 V_{vdd} およびクロック V_{ck1} 、 V_{ck2} が入力され、また、インターレース駆動におけるフィールドの開始時期を示すスタート信号 V_{st} が入力されている。

【 0 0 1 4 】 信号電極駆動回路 2 4 はマトリクスの列数と同数の出力端子を有し、それぞれ対応する信号ライン 1 6 に接続されている。信号電極駆動回路 2 4 には、水平駆動用の電源 H_{vss} 、 H_{vdd} およびクロック H_{ck1} 、 H_{ck2} が入力され、また、信号ライン 1 6 に出力する画像信号 V_{sig} の先頭が水平走査周期の開始時期に一致するようにするためのスタート信号 H_{st} が入力されている。また、信号電極駆動回路 2 4 には 3 原色信号 $V_{sig.R}$ 、 $V_{sig.G}$ 、 $V_{sig.B}$ が入力され、信号電極駆動回路 2 4 はこれら原色信号に応じた画像信号 V_{sig} が信号ライン 1 6 に出力する。なお、画像信号 V_{sig} の極性はフィールド周期または水平周期ごとに反転される。

【 0 0 1 5 】 一方、C F ガラス基板 6 には、図 3 に示したように、上記マトリクスの行ごとに、液晶素子 L C の透明電極 1 0 に対向する対向電極 2 6 (I T O) が形成されている。各液晶素子 L C は、この対向電極 2 6 および上記不図示の液晶層と各透明電極 1 0 により構成されている。

【 0 0 1 6 】 そして、T F T ガラス基板 4 上にはさら第 1 の電圧制御回路 2 3 が形成され、一方、C F ガラス基板 6 上には第 2 の電圧制御回路 2 5 が形成されている。これら第 1 および第 2 の電圧制御回路 2 3、2 5 により本発明に係わる電圧制御手段が構成されている。第 1 および第 2 の電圧制御回路 2 3、2 5 は共に上記マトリクスの各行に対応する出力端子を有し、第 1 の電圧制御回路 2 3 の各出力端子はそれぞれ対応する行の制御ライン 1 8 に接続され、第 2 の電圧制御回路 2 5 の各出力端子はそれぞれ対応する行の対向電極 2 6 に接続されている。

【 0 0 1 7 】 第 1 の電圧制御回路 2 3 には、図 2 に示したように、垂直駆動用の電源 V_{vss} 、 V_{vdd} の他、クロック $V_{cs.ck1}$ 、 $V_{cs.ck2}$ 、スタート信号 $V_{cs.st}$ 、フィールドリバースパルス V_{frp} がそれぞれ入力されており、第 1 の電圧制御回路 2 3 はこれらの信号にもとづき、P チャンネルトランジスタ 2 8

および N チャンネルトランジスタ 2 9 のいずれかを能動状態にして、高電圧 $V_{cs.H}$ または低電圧 $V_{cs.L}$ の一方をコンデンサ電圧 $V_{cs.sw}$ として各制御ライン 1 8 に出力する。

【 0 0 1 8 】 一方、第 2 の電圧制御回路 2 5 には、図 3 に示したように、垂直駆動用の電源 V_{vss} 、 V_{vdd} の他、クロック $V_{com.ck1}$ 、 $V_{com.ck2}$ 、スタート信号 $V_{com.st}$ 、フィールドリバースパルス V_{frp} がそれぞれ入力されており、第 2 の電圧制御回路 2 5 はこれらの信号にもとづき、P チャンネルトランジスタ 2 8 および N チャンネルトランジスタ 2 9 のいずれかを能動状態にして、高電圧 $V_{com.H}$ または低電圧 $V_{com.L}$ の一方を対向電極電圧 $V_{com.sw}$ として対向電極 2 6 に印加する。

【 0 0 1 9 】 そして、後にさらに詳しく説明するように、第 1 および第 2 の電圧制御回路 2 3、2 5 によって、上記マトリクスの奇数番目（または偶数番目）の行を成す液晶素子 L C により画像を形成するときは、マトリクスの奇数番目（または偶数番目）の行に対応する対向電極 2 6 と制御ライン 1 8 とに、信号ライン 1 6 からの電圧に応じた液晶素子 L C の励起を可能とする電圧（コンデンサ電圧 $V_{cs.sw}$ および対向電極電圧 $V_{com.sw}$ ）が印加される一方、マトリクスの偶数番目（または奇数番目）の行に対応する対向電極 2 6 と制御ライン 1 8 とには、液晶素子 L C を信号ライン 1 6 からの電圧に係わらず特定の励起状態とする電圧が印加される。

【 0 0 2 0 】 図 4 は本実施の形態例の液晶表示装置 2 の断面構造を示す断面図である。この図に示すように、T F T ガラス基板 4 および C F ガラス基板 6 は、それぞれ第 1 および第 2 のガラス基板 3 0、3 2 上に導電膜、絶縁膜、ならびにポリシリコン膜を積層して形成されている。このうち第 2 のガラス基板 3 2 の内側表面にはブラックマスク 3 4 によって囲まれたカラーフィルタ 3 6 が積層され、さらにその面上にポリイミド膜 3 8 で覆われた対向電極 2 6 が形成されている。一方、第 1 のガラス基板 3 0 の内側表面にはポリシリコン薄膜 4 0 上にゲート絶縁膜 4 2 を挟んでゲート電極 4 4 が形成された電界効果トランジスタ (F E T) である薄膜トランジスタ 1 2 と、絶縁膜 4 6 を挟んで制御ライン 1 8 とがそれぞれ形成されている。ここで薄膜トランジスタ 1 2 のドレイン領域にはアルミニウム電極 4 8 が形成され、またゲート電極 4 4 の上部は層間絶縁膜 5 0 によって覆われている。また、制御ライン 1 8 の上部も層間絶縁膜 5 0 で覆われている。これら素子の上部には層間絶縁膜 5 2 を挟んで透明電極 1 0 が積層され、この透明電極 1 0 の周囲を覆うようにシリコン窒化膜 5 4 が積層されている。そしてこれらの表面はポリイミド膜 5 6 によって保護されている。

【 0 0 2 1 】 次に、このように構成された液晶表示装置

2の動作について説明する。図5は液晶表示装置2の動作を示すタイミングチャートである。図中、(A)ないし(F)は、それぞれ上記マトリクス1の1行~4行、およびLを自然数として2L-1行と2L行のコンデンサCsおよび対向電極26にそれぞれ印加されるコンデンサ電圧Vcsおよび対向電極電圧Vcom、swを表し、(G)ないし(K)は上記マトリクス1の2行ごとの各ゲートライン20に出力されるゲート電圧VGを、(L)は画像信号Vsigをそれぞれ表している。

【0022】図5の(L)に示したように、信号電極駆動回路24は1フィールドごとに画像信号Vsigの極性を反転させ、したがって第1および第2の電圧制御回路23、25も、(A)ないし(F)に示したように、コンデンサ電圧Vcsおよび対向電極電圧Vcom、swの極性をフィールドの周期で反転させる。走査電極駆動回路22は各フィールドごとに、1水平走査の期間、すなわち1Hの期間だけハイレベルとなるゲート電圧VGを各ゲートライン20に順次出力する。そして、各ゲートライン20に接続された上記マトリクス1の2行分の薄膜トランジスタ12はゲート電圧VGがハイレベルとなった期間において導通状態となり、そのとき信号電極駆動回路24が出力している画像信号Vsigが薄膜トランジスタ12を通じて各コンデンサCsに供給され、コンデンサCsはその信号電圧を保持すると共に各液晶素子LCに印加し、液晶素子LCを励起する。

【0023】第1および第2の電圧制御回路23、25は、制御ライン18および対向電極26が奇数番目および偶数番目のいずれであるいかによって、すなわち、マトリクス1の偶数番目および奇数番目の行のいずれに対応しているかによって、さらに奇数フィールドであるか偶数フィールドであるかによってコンデンサ電圧Vcsおよび対向電極電圧Vcom、swの大きさを切り換える。詳しく説明すると、奇数フィールドにおいては、第1および第2の電圧制御回路23、25は、図5の(A)、(B)に示したように、まず1番目および2番目の制御ライン18および対向電極26に対して、共に同じタイミングで正の電圧(コンデンサ電圧Vcs、sw(1)および対向電極電圧Vcom、sw(1))を出力する。ただし、1番目の制御ライン18および対向電極26には絶対値が相対的に低い電圧を出力し、2番目の制御ライン18および対向電極26には絶対値が相対的に高い電圧を出力する。

【0024】このとき、1番目の制御ライン18および対向電極26に対応するマトリクス1の1行目を成す各液晶素子LCは通常の動作状態となり、各信号ライン16から各薄膜トランジスタ12を通じて供給されて各コンデンサCsが保持している信号電圧を反映して励起される。一方、2番目の制御ライン18および対向電極26に対応するマトリクス1の2行目を成す各液晶素子LCは通常の動作を行わず、対応する各コンデンサCsが保持

している信号電圧に係わらず特定の励起状態、例えばノーマリホワイトモードで黒表示の状態となる。

【0025】その後、第1および第2の電圧制御回路23、25は、1Hの時間が経過した時点で、図5の(C)、(D)に示したように、3番目および4番目の制御ライン18および対向電極26に対して、同様の電圧を出力する。すなわち、3番目の制御ライン18および対向電極26には絶対値が相対的に低い電圧を出力し、4番目の制御ライン18および対向電極26には絶対値が相対的に高い電圧を出力する。その結果、3番目の制御ライン18および対向電極26に対応するマトリクス1の3行目を成す各液晶素子LCは通常の動作状態となり、各信号ライン16から各薄膜トランジスタ12を通じて供給されて各コンデンサCsが保持している信号電圧を反映して励起される。一方、4番目の制御ライン18および対向電極26に対応するマトリクス1の4行目を成す各液晶素子LCは通常の動作を行わず、対応する各コンデンサCsが保持している信号電圧に係わらず特定の励起状態、例えば黒表示の状態となる。

【0026】そして、第1および第2の電圧制御回路23、25は5番目以降の制御ライン18および対向電極26に対しても同様の電圧を出力する。したがって、奇数フィールドでは、奇数番目の行の液晶素子LCのみが通常に動作し、これらの液晶素子LCにより画像が表示される。一方、偶数番目の行の液晶素子LCは黒表示となり、これらの液晶素子LCによっては画像は表示されない。その後、偶数フィールドとなると、第1および第2の電圧制御回路23、25は、図5に示したように、極性を反転させて負の電圧を出力するが、この偶数フィールドでは、奇数フィールドの場合とは逆に、1番目、3番目などの奇数番目の制御ライン18および対向電極26には、絶対値が相対的に大きい電圧を出力し、2番目、4番目などの偶数番目の制御ライン18および対向電極26には、絶対値が相対的に小さい電圧を出力する。そのため、偶数フィールドでは、偶数番目の行の液晶素子LCのみが通常に動作し、これらの液晶素子LCにより画像が表示される。一方、奇数番目の行の液晶素子LCは黒表示となり、これらの液晶素子LCによっては画像は表示されない。

【0027】このように、本実施の形態例の液晶表示装置2では、第1および第2の電圧制御回路23、25は、行ごとの対向電極26およびコンデンサCsに印加する電圧を制御して、奇数番目の行および偶数番目の行のいずれか一方の液晶素子LCでのみ、信号電圧に応じた励起を可能とし、もう一方の行の液晶素子LCは特定の励起状態とする。したがって、隣接する奇数番目の行と偶数番目の行の薄膜トランジスタ12のゲートが同一のゲートライン20に接続され、同一のゲート信号によって制御されても、奇数番目の行と偶数番目の行のうちの一方の液晶素子LCによってのみ画像表示を行え、そ

の結果、従来と同様の解像度でインターレース駆動による画像表示が可能である。すなわち、本発明の液晶表示装置 2 では、従来どうりの解像度を確保しつつゲートラインの数を半減することができ、したがって、液晶素子 LC の面積を拡大して開口率を向上させることが可能となる。また、インターレース駆動において、例えば奇数フィールドで奇数番目の行の液晶素子 LC が駆動されて信号電圧に応じた励起状態となると、偶数番目の行の液晶素子 LC はすべて、上述のように特定の励起状態となり、例えば黒表示となる。したがって、CRT (陰極線管) の場合と同等のインターレース表示を液晶表示装置 2 においても実現できる。

【0028】なお、上記実施の形態例では、信号電極駆動回路 24 は奇数フィールドで負極性の画像信号 V_{sig} を出力し、偶数フィールドで正極性の画像信号 V_{sig} を出力するとしたが、この極性を逆にすることも無論可能であり、その場合には、図 6 の (A) ないし (F) に示すように、第 1 および第 2 の電圧制御回路 23、25 がそれぞれ、奇数フィールドで負、偶数フィールドで正のコンデンサ電圧 $V_{cs, sw}$ および対向電極電圧 $V_{com, sw}$ を出力する構成とすればよい。また、上記実施例では、信号電極駆動回路 24 がフィールドごとに画像信号 V_{sig} の極性を切り換えるとしたが、図 7 の (L) に示すように、1H の期間ごとに画像信号 V_{sig} の極性を切り換える場合にも本発明は無論有効であり、第 1 および第 2 の電圧制御回路 23、25 は、図 7 の (A) ないし (F) に示したように、上記実施例の場合と同様のコンデンサ電圧 $V_{cs, sw}$ および対向電極電圧 $V_{com, sw}$ を出力することで同様の作用を実現できる。無論この場合にも、図 8 の (L) に示したように、画像信号 V_{sig} を逆極性で切り換えることも可能であり、この場合には第 1 および第 2 の電圧制御回路 23、25 が、図 8 の (A) ないし (F) に示したように、フィールドごとに逆極性でコンデンサ電圧 $V_{cs, sw}$ および対向電極電圧 $V_{com, sw}$ を切り換えるようにすればよい。

【0029】

【発明の効果】以上説明したように本発明の液晶表示装置では、電圧発生手段は、行ごとの対向電極および電荷蓄積素子に印加する電圧を制御して、奇数番目の行および偶数番目の行のいずれか一方の液晶素子でのみ、信号電圧に応じた励起を可能とし、もう一方の行の液晶素子は特定の励起状態とする。したがって、隣接する奇数番目の行と偶数番目の行の薄膜トランジスタのゲートが同一のゲートラインに接続され、同一のゲート信号によって制御されても、奇数番目の行と偶数番目の行のうちの一方の液晶素子によってのみ画像表示を行え、その結果、従来と同様の解像度でインターレース駆動による画

像表示が可能である。すなわち、本発明の液晶表示装置では、従来どうりの解像度を確保しつつゲートラインの数を半減することができ、したがって、液晶素子の面積を拡大して開口率を向上させることが可能となる。また、インターレース駆動において、あるフィールドで例えば奇数番目の行の液晶素子が駆動されて信号電圧に応じた励起状態となると、偶数番目の行の液晶素子はすべて、上述のように特定の励起状態となり、したがって、例えば黒表示となる。その結果、CRT (陰極線管) の場合と同等のインターレース表示を液晶表示装置においても実現できる。

【図面の簡単な説明】

【図 1】本発明による液晶表示装置の一例を示す概略構成図である。

【図 2】図 1 の液晶表示装置を構成する TFT ガラス基板側の回路図である。

【図 3】図 1 の液晶表示装置を構成する CF ガラス基板側の回路図である。

【図 4】実施例の液晶表示装置の断面構造を示す断面図である。

【図 5】実施例の液晶表示装置の動作を示すタイミングチャートである。

【図 6】他の実施例の液晶表示装置の動作を示すタイミングチャートである。

【図 7】他の実施例の液晶表示装置の動作を示すタイミングチャートである。

【図 8】他の実施例の液晶表示装置の動作を示すタイミングチャートである。

【図 9】従来の液晶表示装置の一例を示す分解斜視図である。

【図 10】従来の液晶表示装置の一例を示す回路図である。

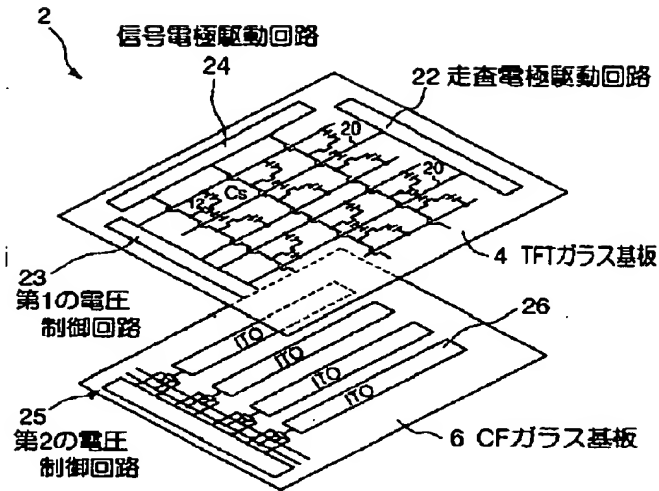
【図 11】対向電極に印加される電圧 V_{com} とゲート電圧 V_G および画像信号 V_{sig} との関係を示す信号波形図である。

【図 12】対向電極に印加される電圧 V_{com} とゲート電圧 V_G および画像信号 V_{sig} との関係を示す信号波形図である。

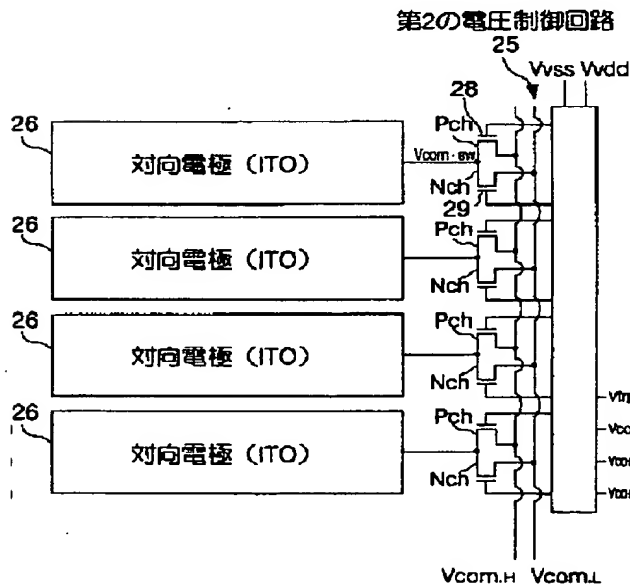
【符号の説明】

2 ……液晶表示装置、4 ……TFT ガラス基板、6 ……CF ガラス基板、10 ……透明電極、12 ……薄膜トランジスタ、16 ……信号ライン、18 ……制御ライン、20 ……ゲートライン、22 ……走査電極駆動回路、23 ……第 1 の電圧制御回路、24 ……信号電極駆動回路、25 ……第 2 の電圧制御回路、26 ……対向電極、28 ……P チャンネルトランジスタ、29 ……N チャンネルトランジスタ、Cs ……コンデンサ、LC ……液晶素子。

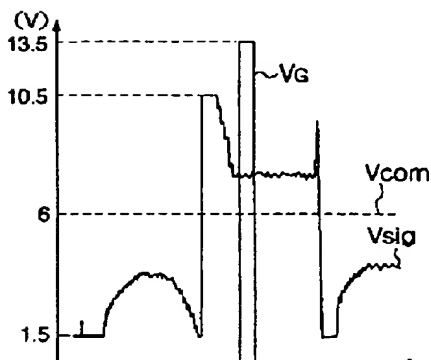
【図 1】



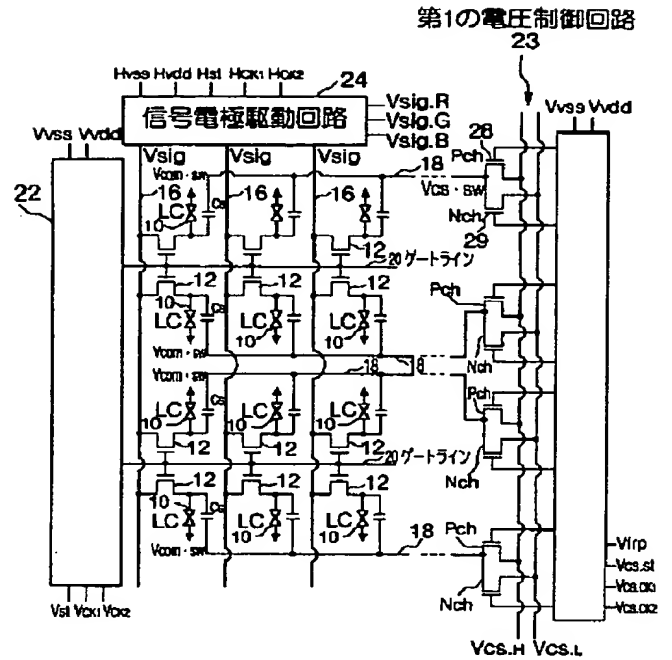
【図 3】



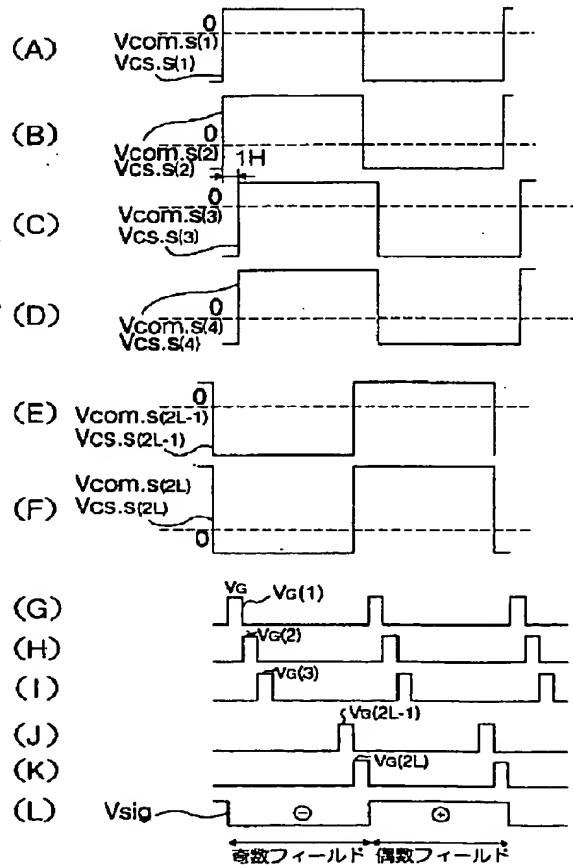
【図 1 1】



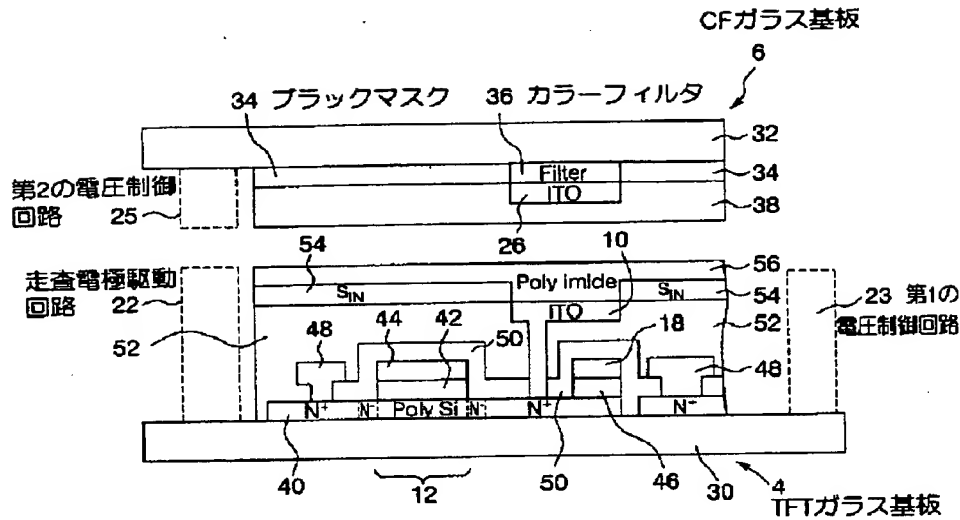
【図 2】



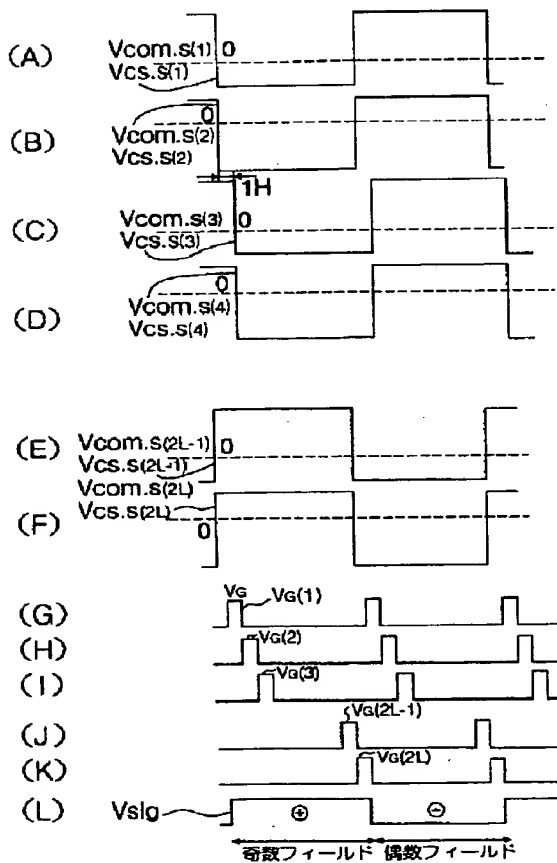
【図 5】



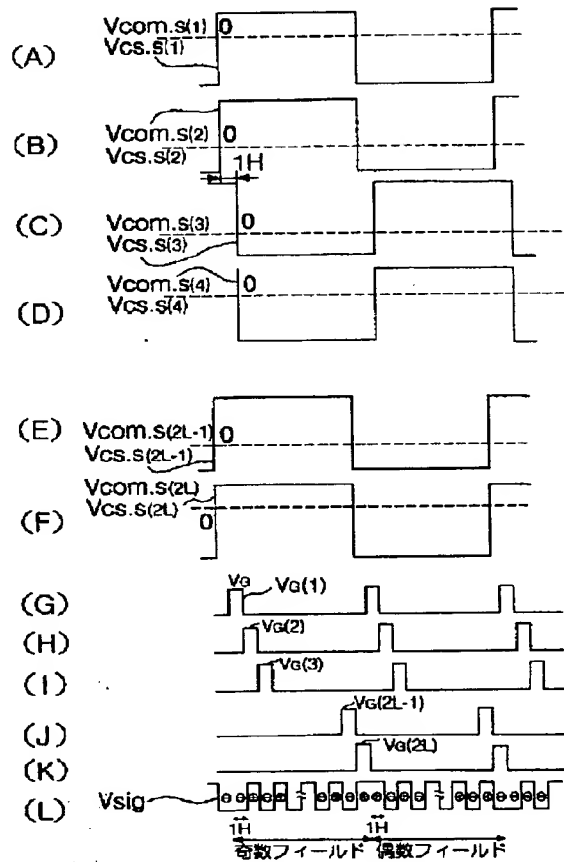
【図 4】



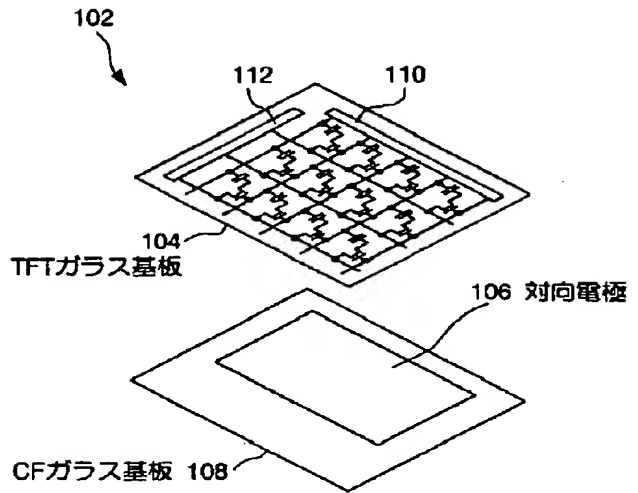
【図 6】



【図 7】



【图 9】



フロントページの続き

(51)Int.Cl.⁶
H04N 5/66

識別記号
102

庁内整理番号

F I

技術表示箇所

612 Z